

浙江海洋大学 2021- 2022 学年第 一 学期

《计算机组成原理》课程期末考试卷 (A)

(适用班级 A19 计算机 1、2 ;
_____)

考试时间: 120 分钟

一	二	三	四	五	六	七	八	九	十	总分

一、选择题 (每题 2 分, 共 40 分)

- 下列关于冯·诺依曼结构计算机基本思想的叙述中错误的是 ()。
 - 程序的功能都通过中央处理器执行指令实现
 - 指令和数据都用二进制实现, 形式上没有差别
 - 指令按地址访问, 数据都在指令中直接给出
 - 程序执行前, 指令和数据必须预先存放在存储器中
- 考虑以下 C 语言代码:
`unsigned short usi=65535 ;`
`short si=usi ;`
 执行上述程序段后, si 的值是 ()。
 A. -1 B. -32767 C. -32768 D. -65535
- 假定计算机 M1 和 M2 具有相同的指令集体系结构 (ISA), 主频分别为 1.5 GHz 和 1.2 GHz。在 M1 和 M2 上运行某基准程序 P, 平均 CPI 分别为 2 和 1, 则程序 P 在 M1 和 M2 上运行时间的比值是 ()。
 A. 0.4 B. 0.625 C. 1.6 D. 2.5
- float 型数据通常用 IEEE 754 单精度浮点数格式表示。若编译器将 float 型变量 x 分配在一个 32 位浮点寄存器 FR1 中, 且 x=-23.125, 则 FR1 的内容是 ()。
 A. C104 0000H B. C142 0000H
 C. C1B9 0000H D. C1C9 0000H
- 某计算机采用大端方式, 按字节编址。某指令中操作数的机器数为 1234 FF00H, 该操作数采用基址寻址方式, 形式地址 (用补码表示) 为 FF12H, 基址寄存器内容为 F000 0000H, 则该操作数的 LSB (最低有效字节) 所在的地址是 ()。
 A. F000 FF12H B. F000 FF15H C. EFFF FF12H D. EFFF FF15H
- 按字节编址的计算机中, 某 double 型数组 A 的首地址为 2000H, 使用变址寻址和循环结构访问数组 A, 保存数组下标的变址寄存器初值为 0, 每次循环取一个数组元素, 其偏移地址为变址值乘以 sizeof(double), 取完后变址寄存器内容自动加 1。若某次循环所取元素的地址为 2100H, 则进入该次循环时变址寄存器的内容是 ()。
 A. 25 B. 32 C. 64 D. 100

学号 _____ 姓名 _____ 班级 _____ 专业 _____ 学院 _____

7. 假定 DRAM 芯片中存储阵列的行数为 r 、列数为 c ，对于一个 $2K \times 1$ 位的 DRAM 芯片，为保证其地址引脚数最少，并尽量减小刷新开销，则 r 、 c 的取值分别是（ ）。
A. 2048、1 B. 64、32
C. 32、64 D. 1、2048
8. 设机器字长为 32 位，一个容量为 32MB 的存储器，CPU 按字寻址，其可寻址的单元数为（ ）。
A. 1M B. 4M C. 8M D. 32M
9. 假定主存地址为 32 位，按字节编址，主存和 Cache 之间采用直接映射方式，主存块大小为 4 个字，每字 32 位，采用回写（Write Back）方式，则能存放 4K 字数据的 Cache 的总容量的位数至少是。
A. 146k B. 147K C. 148K D. 158K
10. 下列关于多总线结构的叙述中，错误的是（ ）。
A. 靠近 CPU 的总线速度较快
B. 存储器总线可支持突发传送方式
C. 总线之间须通过桥接器相连
D. PC I - Express $\times$ 16 采用并行传输方式
11. 某计算机使用 4 体交叉编址存储器，假定在存储器总线上出现的主存地址（十进制）序列为 8005，8006，8007，8008，8001，8002，8003，8004，8000，则可能发生访存冲突的地址对是（ ）。
A.8004 和 8008 B.8002 和 8007
C.8001 和 8008 D.8000 和 8004
12. 某计算机的 Cache 共有 16 块，采用 4 路组相联映射方式（即每组 4 块）。每个主存块大小为 32 字节，按字节编址。主存 500 号单元(所有序号都从 0 开始)所在主存块应装入到的 Cache 组号是（ ）。
A.1 B.2 C.3 D.4
13. 若设备采用周期挪用 DMA 方式进行输入输出,每次 DMA 传送的数据块大小为 512 字节,相应的 I/O 接口中有一个 32 位数数据缓冲寄存器,对于数据输入过程,下列叙述中错误的是（ ）。
A.每准备好 32 位数据,DMA 控制器就发出一次总线请求
B.相对于 CPU,DMA 控制器的总线使用权的优先级更高
C.整个数据块的传送过程中,CPU 不可以访问主存储器
D.数据块传送结束时,会产生“DMA 传送结束”的中断请求
14. 某计算机按字节编址，指令字长固定且只有两种指令格式，其中三地址指令 29 条，二地址指令 107 条，每个地址字段为 6 位，则指令字长至少应该是（ ）。
A. 24 位 B. 26 位 C.28 位 D. 32 位
15. 设相对寻址的转移指令占两个字节,第一字节是操作码,第二字节是相对位移量(用补码表示)。每当 CPU 从存储器取出第一个字节时,即自动完成(PC)+1→PC。设当前 PC 的内容为 2008H,要求转移到 2001H 地址,则该转移指令第二字节的内容应为（ ）。
A. 07H B. F7H C. F8H D. F9H
16. 下列关于多重中断系统的叙述中，错误的是（ ）。
 - A. 中断嵌套时，主程序正在运行，子程序正在运行，子程序正在运行
 - B. 中断嵌套时，主程序正在运行，子程序正在运行，子程序正在运行
 - C. 中断嵌套时，主程序正在运行，子程序正在运行，子程序正在运行
 - D. 中断嵌套时，主程序正在运行，子程序正在运行，子程序正在运行

- A. 在一条指令执行结束时响应中断
 - B. 中断处理期间 CPU 处于关中断状态
 - C. 中断请求的产生与当前指令的执行无关
 - D. CPU 通过采样中断请求信号检测中断请求
17. 下列关于超标量流水线特性的叙述中，正确的是（ ）。
- I. 能缩短流水线功能段的处理时间
 - II. 能在一个时钟周期内同时发射多条指令
 - III. 能结合动态调度技术提高指令执行并行性
- A. 仅 II B. 仅 I、III C. 仅 II、III D. I、II 和 III
18. 在某计算机主存空间为 4 GB，字长为 32 位，按字节编址，采用 32 位定长指令字格式。若指令按字边界对齐存放，则程序计数器(PC)和指令寄存器(IR)的位数至少分别是（ ）。
- A.30、30 B.30、32 C.32、30 D.32、32
19. 在采用“取指、译码/取数、执行、访存、写回”5 段流水线的处理器中，执行如下指令序列，其中 s0、s1、s2、s3 和 t2 表示寄存器编号。
- I1: add s2, s1, s0 ;R[s2] ← R[s1]+R[s0]
 I2: load s3, 0(t2) ;R[s3] ← M[R[t2]+0]
 I3: add s2, s2, s3 ;R[s2] ← R[s2]+R[s3]
 I4: store s2, 0(t2) ;M[R[t2]+0] ← R[s2]
- 下列指令对中，不存在数据冒险的是（ ）。
- A. I1 和 I3 B. I2 和 I3 C. I2 和 I4 D. I3 和 I4
20. 下列叙述中（ ）是错误的。
- A. 采用微程序控制器的处理器称为微处理器；
 - B. 在微指令编码中，编码效率最低的是直接编码方式；
 - C. 在各种微地址形成方式中，增量计数器法需要的顺序控制字段较短；
 - D. 以上都是错的。

二、简答题（共 40 分）

1. 已知 $x = -0.0111$ ， $y = 0.1001$ ，用 Booth 算法求出 $x*y$ 的结果。（5 分）
2. 假设数据信息为 1001，请按“偶校验”原则为其配置汉明码，要求写出计算过程。（5 分）
3. 假定计算机的主频为 500MHz，CPI 为 4。现有设备 A 和 B，其数据传输率分别为 2MB/s 和 40MB/s，对应 I/O 接口中各有一个 32 位数据缓冲寄存器。请回答下列问题，要求给出计算过程。（9 分）
 - （1）若设备 A 采用定时查询 I/O 方式，每次输入/输出都至少执行 10 条指令。设备 A 最多间隔多长时间查询一次才能不丢失数据？CPU 用于设备 A 输入/输出的时间占 CPU 总时间的百分比至少是多少？（3 分）
 - （2）在中断 I/O 方式下，若每次中断响应和中断处理的总时钟周期数至少为 400，则设备 B 能否采用中断 I/O 方式？为什么？（3 分）
 - （3）若设备 B 采用 DMA 方式，每次 DMA 传送的数据块大小 1000B，CPU 用于 DMA 预处理和后处理的总时钟周期数为 500，则 CPU 用于设备 B 输入/输出的时间占 CPU 总时间的百分比最多是多少？（3 分）

4. 某机有 8 条微指令 I1~I8，每条微指令所包含的微命令控制信号如下表所示。a~j 分别对应 10 种不同性质的微命令信号。请安排微指令的控制字段格式，使微指令长度尽量小。（6 分）

微指令	微命令信号									
	a	b	c	d	e	f	g	h	i	j
I ₁	√			√		√	√			
I ₂				√			√	√	√	
I ₃		√	√			√				
I ₄	√				√					√
I ₅			√						√	
I ₆	√			√						√
I ₇	√		√							
I ₈		√				√				

5. 设某机有 5 级中断：L0、L1、L2、L3、L4，其中断响应优先次序为：L0 最高，L1 次之……L4 最低。现在要求将中断处理次序改为 L3→L2→L4→L1→L0，试问：
- (1) 各级中断服务程序中的各中断屏蔽码应如何设置（设每级对应一位，当该位为“0”，表示中断允许；当该位为“1”，表示中断屏蔽）？（5 分）

中断处理程序	中断处理级屏蔽位				
	L0 级	L1 级	L2 级	L3 级	L4 级
L0 中断处理程序					
L1 中断处理程序					
L2 中断处理程序					
L3 中断处理程序					
L4 中断处理程序					

- (2) 若这 5 级中断同时都发出中断请求，试画出进入各级中断处理过程示意图。（3 分）

6. 设某计算机的字长为 16 位,存储器按字编址,访存指令如下: (7 分)

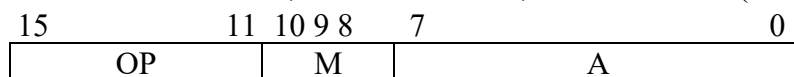


图 1 指令格式示意图

M 值	寻址方式
0	立即寻址
1	直接寻址
2	间接寻址
3	变址寻址
4	相对寻址

寻址模式表

其中 OP 是操作码,M 定义寻址方式(见表),A 为形式地址。设 PC 和 R_x 分别为程序计数器和变址寄存器,字长为 16 位。问:

- (1) 该格式能定义多少种指令? (2 分)
- (2) 各种寻址方式的寻址范围为多少字? (5 分)

三、设计题 (每题 10 分, 共 20 分)

1、设 CPU 共有 16 根地址线, 8 根数据线, 并用 $\overline{\text{MREQ}}$ (低电平有效)作访存控制信号, $\text{R}/\overline{\text{W}}$ 作读写命令信号(高电平为读,低电平为写)。现有下列存储芯片:

RAM: 1K×4 位, 8K×8 位, 16K×1 位, 4K×4 位;

ROM: 1K×8 位, 2K×8 位, 8K×8 位, 32K×8 位;

及 74LS138 译码器和各种门电路。

要求: 主存地址空间分配: 从 2000H 地址开始的 4K 地址空间为用户程序区, 紧接相邻的 2K 地址空间为系统程序区;

试从上述规格中选用合适芯片, 画出 CPU 和存储芯片的连接图。

- (1) 指出选用的存储芯片类型及数量; (2 分)
- (2) 详细画出片选逻辑。(8 分)

2、某计算机字长 16 位, 采用 16 位定长指令字结构, 部分数据通路结构如下图所示, 图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如控制信号

MDRinE 为 1 表示允许数据从 DB 打入 MDR, MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令 “SUB

(R1), R0” 的功能为 $((R1))-(R0) \rightarrow (R1)$, 即将 R1 的内容所指主存单元的数据减去 R0 中的数据, 并将结果送入 R1 的内容所指主存单元中保存。

请按表中描述方式用表格列出指令取指阶段和执行阶段每个节拍的功能和有效控制信号 (时钟周期个数不定)。

取指阶段: (3 分)

时钟	功能	有效控制信号
C1	(PC) → MAR	PCout, MARin
C2		
C3		
C4		

执行阶段：（7分）

时钟	功能	有效控制信号
C1		
C2		
C3		
C4		
C5		
C6		
C7		

